

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-068972

(43)Date of publication of application : 03.03.2000

(51)Int.Cl. H04J 11/00
H04L 7/00
// H04L 27/00

(21)Application number : 10-230663 (71)Applicant : NIPPON TELEGR & TELEPH CORP
<NTT>

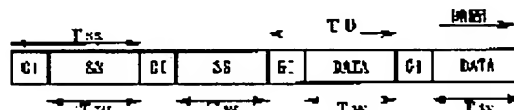
(22)Date of filing : 17.08.1998 (72)Inventor : MOCHIZUKI NOBUAKI
MATSUMOTO YOICHI
UMEHIRA MASAHIRO

(54) OFDM MODULATION/DEMODULATION METHOD AND OFDM MODULATION/DEMODULATION CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To decrease mis-detection of timing and to reflect the timing mis-detection on timing control by detecting mis-detection of timing quickly in the orthogonal frequency division multiplex (OFDM) modulation/demodulation method and the OFDM modulation/demodulation circuit.

SOLUTION: In the OFDM modulation method that generates an orthogonal frequency multiplex signal where a specific synchronizing signal SS is repetitively added to a signal part before signals that is differentially coded by information to be sent and information appearing precedingly to the information, a guard interval GI is formed between the synchronizing signals SS appearing repetitively and a repeating period T_{ss} for the synchronizing signal is selected longer than a length T_w of each synchronizing signal.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision]

of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2000-68972
(P2000-68972A)

(43) 公開日 平成12年3月3日 (2000.3.3)

(51) Int.Cl.	識別記号	F I	テマコード (参考)
H 0 4 J 11/00		H 0 4 J 11/00	Z 5 K 0 0 4
H 0 4 L 7/00		H 0 4 L 7/00	F 5 K 0 2 2
// H 0 4 L 27/00		27/00	Z 5 K 0 4 7

審査請求 未請求 請求項の数 5 O L (全 10 頁)

(21) 出願番号 特願平10-230663

(22) 出願日 平成10年8月17日 (1998.8.17)

(71) 出願人 000004226

日本電信電話株式会社
東京都千代田区大手町二丁目3番1号

(72) 発明者 望月 伸晃

東京都新宿区西新宿三丁目19番2号 日本
電信電話株式会社内

(72) 発明者 松本 祥一

東京都新宿区西新宿三丁目19番2号 日本
電信電話株式会社内

(74) 代理人 100072718

弁理士 古谷 史旺

最終頁に続く

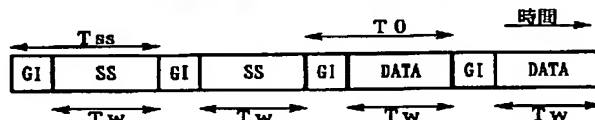
(54) 【発明の名称】 OFDM変復調方法及びOFDM変復調回路

(57) 【要約】

【課題】 本発明は、OFDM変復調方法及びOFDM変復調回路において、タイミングの誤検出発生を減らすこと及びタイミングの誤検出が発生した場合にそれを素早く検出してタイミング制御に反映可能にすることを目的とする。

【解決手段】 送信すべき情報とそれ以前に現れた情報とで差動符号化された信号の前に特定の同期用信号 S S が繰り返し付加された直交周波数多重信号を生成する OFDM変調方法において、繰り返し現れる同期用信号 S S の間にガードインターバル G I を形成し同期用信号の繰り返し周期 T s s を各々の同期用信号の長さ T w よりも大きくしたことを特徴とする。

実施の形態のバーストフォーマット



【特許請求の範囲】

【請求項 1】 送信すべき情報とそれ以前に現れた情報とで差動符号化された信号の前に特定の同期用信号が繰り返し付加された直交周波数多重信号を生成する OFDM 変調方法において、

繰り返し現れる前記同期用信号の間に、ガードインターバルを形成し、前記同期用信号の繰り返し周期を各々の同期用信号の長さよりも大きくしたことを特徴とする OFDM 変調方法。

【請求項 2】 伝送すべき情報とそれ以前に現れた情報とで差動符号化された信号の前に特定の同期用信号が繰り返し付加された直交周波数多重信号を受信して得られる受信信号を処理する OFDM 復調方法において、前記同期用信号が繰り返し現れるタイミングを受信信号から検出し、

前記受信信号に含まれる複数のサブキャリアの各々の信号成分と理想的な伝送路状態に相当する所定値との一致度を求め、

前記受信信号に含まれる複数のサブキャリアについて前記一致度を加算し、

前記一致度の加算結果を予め定めた閾値と比較した結果を受信信号の復調制御に反映することを特徴とする OFDM 復調方法。

【請求項 3】 送信すべき情報とそれ以前に現れた情報とで差動符号化された信号の前に特定の同期用信号が繰り返し付加された直交周波数多重信号を生成する OFDM 変調回路において、

差動符号化の初期値であるスタートシンボルを記憶するスタートシンボルメモリ回路と、

前記スタートシンボルメモリ回路に記憶されたスタートシンボルを初期値として入力信号を差動符号化する差動符号化回路と、

前記差動符号化回路が出力する信号の前に前記スタートシンボルメモリ回路が出力するスタートシンボルを配置するスタートシンボル付加回路と、

前記差動符号化回路が出力する信号とそれに付加された前記スタートシンボルの信号を逆高速フーリエ変換する逆高速フーリエ変換回路と、

前記逆高速フーリエ変換回路から出力される信号に対して、繰り返し現れる複数の前記スタートシンボルの間及び各々の OFDM シンボルにガードインターバルを付加するガードインターバル付加回路と、

前記ガードインターバル付加回路が出力する信号を処理するデジタル-アナログ変換回路とを設けたことを特徴とする OFDM 変調回路。

【請求項 4】 伝送すべき情報とそれ以前に現れた情報とで差動符号化された信号の前に特定の同期用信号が繰り返し付加された直交周波数多重信号を受信して得られる受信信号を復調する OFDM 復調回路において、

前記受信信号をアナログ-デジタル変換するアナログ

- デジタル変換回路と、

前記アナログ-デジタル変換回路が出力する受信信号を入力して、周波数偏差とタイミング同期を検出する同期回路と、

前記アナログ-デジタル変換回路が出力する受信信号を遅延した信号を出力する遅延回路と、

前記遅延回路が出力する信号の周波数偏差を前記同期回路が出力する補正位相信号で補正する周波数補正回路と、

10 前記周波数補正回路が出力する周波数補正された受信信号から、前記同期回路が検出した最適シンボルタイミングに同期して、ガードインターバルの成分を除去するガードインターバル除去回路と、

前記ガードインターバル除去回路が出力する受信信号を高速フーリエ変換する高速フーリエ変換回路と、

前記高速フーリエ変換回路が出力する信号を遅延検波する遅延検波回路と、

20 前記遅延検波回路が出力する受信信号に含まれる複数のサブキャリアの各々の信号成分について理想的な伝送路状態に相当する所定値との一致度を求めるとともに、前記一致度を前記受信信号に含まれる複数のサブキャリアについて加算する一致検出回路と、

前記一致検出回路の加算結果を予め定めた閾値と比較し、前記加算結果が前記閾値を超えていない場合には前記同期回路をリセットするためのリセット信号を出力する比較回路とを設けたことを特徴とする OFDM 復調回路。

【請求項 5】 請求項 4 の OFDM 復調回路において、前記同期回路に、

30 受信信号の電力を計算する自乗回路と、

前記自乗回路が出力する信号の時間に関する移動平均を計算する第 1 の移動平均回路と、

受信信号を遅延した信号を出力する遅延回路と、

受信信号と前記遅延回路によって遅延された受信信号とを複素乗算する位相回転角検出回路と、

前記位相回転角検出回路が出力する信号の時間に関する移動平均を計算する第 2 の移動平均回路と、

40 前記第 1 の移動平均回路が出力する信号と前記第 2 の移動平均回路が出力する信号とに基づいて、最適タイミングを示すタイミング信号を出力するタイミング検出回路と、

前記第 2 の移動平均回路が出力する信号に基づいて受信信号の周波数誤差を検出し、該周波数誤差と逆位相となる補正位相信号を出力する周波数誤差推定回路とを設けて、前記比較回路の出力するリセット信号を前記タイミング検出回路及び周波数誤差推定回路に印加することを特徴とする OFDM 復調回路。

【発明の詳細な説明】

【0001】

50 【発明の属する技術分野】 本発明は、デジタル無線通

信で用いられる直交周波数多重 (OFDM: Orthogonal Frequency Division Multiplexing) 信号を処理するために利用されるOFDM変復調方法及びOFDM変復調回路に関し、特にシンボルタイミング同期に関する。

【0002】

【従来の技術】ディジタル無線通信において送信機から受信機に伝送されるOFDM信号のバーストフォーマットは、一般に図8に示すような構成になっている。すなわち、バーストフォーマットの先頭にはタイミング同期、周波数偏差補償及び差動符号化初期値のために利用

される同一の2つのスタートシンボルSSが繰り返し配置され、その後にガードインターバルGIとデータDATAとが交互に繰り返し現れるように構成されている。

【0003】各々のスタートシンボルSS及びデータDATAの時間軸上の長さは、予め定められるフーリエ変換のウィンドウ時間Twと同一に定められる。すなわち、ウィンドウ時間Twの長さのデータDATAの全体が、1シンボルの信号として1回のフーリエ変換の処理対象になる。伝送対象のデータについては、当該データと例えば1シンボル前に現れたデータとの差分に対して

符号化が行われる。このような差動符号化の初期値としてスタートシンボルが利用される。つまり、最初のデータを符号化する時にはスタートシンボルとデータとの差分が符号化される。

【0004】また、遅延波の影響を低減するために、OFDM信号のガードインターバルGIにおいては、データDATAと同じ信号が繰り返し現れる。すなわち、ガードインターバルGIには、それに続くデータDATAの後方部分と同じ内容が巡回的に現れる。従って、遅延波によって受信に対する同期が多少ずれたとしても、ガードインターバルGIに現れる信号成分で不足する情報を補うことができるので、データDATAの1シンボル

全体の信号をフーリエ変換処理に入力して受信信号を復調できる。

【0005】なお、バーストフォーマットの先頭に付加されるスタートシンボルについては、差動符号化せず、そのまま符号化される。図8のようなバーストフォーマットで変調したOFDM信号を生成するために、OFDM変調回路には、一般に差動符号化回路、スタートシンボルメモリ回路、スタートシンボル付加回路、逆フーリエ変換回路、ガードインターバル挿入回路及びディジタル-アナログ変換回路が設けられる。

【0006】図8のようなOFDM信号を復調するために受信機に設けられる従来のOFDM復調回路の構成例を図9に示す。図9に示すOFDM復調回路に入力される受信信号は、アナログ-ディジタル変換された後、同期回路及び遅延回路に入力される。同期回路においては、受信信号の中の連続したスタートシンボルSSの検出により、送受信装置間のキャリア周波数誤差と最適なタイミングを検出する。

【0007】この種の同期回路の具体的な構成と動作については、例えば、文献1「鬼沢、溝口、熊谷、高梨、守倉、「高速無線LAN用OFDM変調方式の同期系に関する検討」、信学技報、RCS97-210」及び文献2「T.M. Schmid and D.C. Cox, "Low-Overhead, Low-Complexity [Burst] Synchronization for OFDM", ICC'96, pp. 1301-1306」に示されている。

【0008】図9の遅延回路は、同期回路で周波数偏差と最適タイミングが検出されるまで、受信信号を遅延させる。周波数補正回路では検出した周波数偏差である補正位相信号で受信信号を補正する。周波数補正回路で補正された受信信号は、同期回路が検出した最適なシンボルタイミングに基づいて、ガードインターバルGIを除去された後、フーリエ変換 (FFT又はDFT) 回路にて高速フーリエ変換される。

【0009】フーリエ変換回路から出力される受信信号は、遅延検波回路でサブキャリア毎に遅延検波され、送信されたデータに復調される。実際には、遅延検波回路から出力される信号は、図示しない誤り訂正部に送られる。そして、誤り訂正の結果得られた信号と、既知のユニークワードUWとに基づいてバーストタイミングの検出を行ったあと、送信データが抽出される。

【0010】

【発明が解決しようとする課題】上述のように、受信機のOFDM復調回路においては、従来より受信信号のバーストフォーマットの先頭に繰り返し現れるスタートシンボルSSを、周波数偏差検出、タイミング同期及び遅延検波初期値に利用している。このような方式を用いる場合、受信機側でタイミングの誤検出が発生しても、その誤検出を即座に判断することは困難であった。

【0011】この対策として、バーストフォーマットへのユニークワード (UW) の付加が考えられるが、それらは冗長ビットとして伝送効率を低下させる。また、他にCRC (Cyclic Redundancy Check) の使用を前提として、タイミングの誤検出をCRCチェックタイミングでCRCエラーとして検知する方法が考えられる。しかし、送信されるバースト長にわたる時間の間に、正しいバーストが到来した場合には、そのバーストは不検出となり、不検出確率の増加という問題が生じる。

【0012】本発明は、OFDM変復調方法及びOFDM変復調回路において、タイミングの誤検出発生を減らすこと及びタイミングの誤検出が発生した場合にそれを素早く検出してタイミング制御に反映可能にすることを目的とする。

【0013】

【課題を解決するための手段】請求項1は、送信すべき情報とそれ以前に現れた情報とで差動符号化された信号の前に特定の同期用信号が繰り返し付加された直交周波数多重信号を生成するOFDM変調方法において、繰り返し現れる前記同期用信号の間に、ガードインターバル

を形成し、前記同期用信号の繰り返し周期を各々の同期用信号の長さよりも大きくしたことを特徴とする。

【0014】図8に示すようなバーストフォーマットのOFDM信号を受信して処理する場合には、バーストフォーマットの先頭のスタートシンボル（同期用信号）SSの繰り返し周期であるウィンドウ時間Twと一致する時間差を有する2つの受信信号の間の相関性からスタートシンボルSSを検出することができる。すなわち、2つの受信信号の間の相関値が大きい場合には、遅延された先行する受信信号から先頭のスタートシンボルSSを参照し、遅延されない受信信号から2番目のスタートシンボルSSを参照していると考えられるので、そのタイミングをスタートシンボルSSの現れるタイミングとみなすことができる。

【0015】ところが、図8に示すバーストフォーマットのOFDM信号の場合には、ガードインターバルGIとそれに続くデータDATAとで構成される領域において、ウィンドウ時間Twと一致する周期で同じ信号が繰り返すことになるので、スタートシンボルSSのタイミングだけでなく、ガードインターバルGIとそれに続くデータDATAとが現れるタイミングにおいても、ウィンドウ時間Twと一致する時間差を有する2つの受信信号の間に大きな相関が生じる。従って、スタートシンボルSSのタイミング検出に誤りが生じる確率が高い。

【0016】請求項1の発明においては、繰り返し現れる同期用信号（SS）の間に、ガードインターバルGIを形成するため、同期用信号の繰り返し周期が各々の同期用信号の長さ（Tw）よりも大きくなり、例えば図2に示すようなフォーマットでOFDM信号が送信される。受信側でこのようなOFDM信号を受信して復調する場合、繰り返し現れる2つの同期用信号の相関性を検出するための時間周期Tssは同期用信号の長さTwよりも大きくなる。この場合、ガードインターバルGIとそれに続くデータDATAとが現れるタイミングでは、同じ信号の繰り返し周期（Tw）が相関性を検出するための時間周期Tssと異なるため、ガードインターバルGI及びデータDATAで構成される領域に対して検出される相関値は小さくなる。

【0017】従って、ガードインターバルGI及びデータDATAを同期用信号の代わりに誤って検出する確率が小さくなる。請求項2は、伝送すべき情報とそれ以前に現れた情報とで差動符号化された信号の前に特定の同期用信号が繰り返し付加された直交周波数多重信号を受信して得られる受信信号を処理するOFDM復調方法において、前記同期用信号が繰り返し現れるタイミングを受信信号から検出し、前記受信信号に含まれる複数のサブキャリアの各々の信号成分と理想的な伝送路状態に相当する所定値との一致度を求め、前記受信信号に含まれる複数のサブキャリアについて前記一致度を加算し、前記一致度の加算結果を予め定めた閾値と比較した結果を

受信信号の復調制御に反映することを特徴とする。

【0018】OFDM信号には互いに周波数の異なる多数のサブキャリアの成分が含まれている。理想的な通信路を利用してOFDM信号が伝送された場合には、同期用信号が繰り返し現れるタイミングでは、受信信号の検波出力に現れる各サブキャリアの成分は互いに同一の値になる。しかし、同期用信号以外の信号が現れるタイミングでは、各サブキャリアの成分に互いに独立した値が現れる。

10 【0019】請求項2においては、複数のサブキャリアの各々の信号成分と理想的な伝送路状態に相当する所定値との一致度を求め、複数のサブキャリアについて前記一致度を加算し、前記一致度の加算結果を予め定めた閾値と比較するので、この比較結果は同期用信号が検出されたタイミングが正しいか否かに相当する。従って、同期用の信号のタイミングを検出した直後に、そのタイミングが正しいか否かを判定することができる。

20 【0020】請求項3は、送信すべき情報とそれ以前に現れた情報とで差動符号化された信号の前に特定の同期用信号が繰り返し付加された直交周波数多重信号を生成するOFDM変調回路において、差動符号化の初期値であるスタートシンボルを記憶するスタートシンボルメモリ回路と、前記スタートシンボルメモリ回路に記憶されたスタートシンボルを初期値として入力信号を差動符号化する差動符号化回路と、前記差動符号化回路が出力する信号の前に前記スタートシンボルメモリ回路が出力するスタートシンボルを配置するスタートシンボル付加回路と、前記差動符号化回路が出力する信号とそれに付加された前記スタートシンボルの信号を逆高速フーリエ変換する逆高速フーリエ変換回路と、前記逆高速フーリエ変換回路から出力される信号に対して、繰り返し現れる複数の前記スタートシンボルの間及び各々のOFDMシンボルにガードインターバルを付加するガードインターバル付加回路と、前記ガードインターバル付加回路が出力する信号を処理するデジタル-アナログ変換回路とを設けたことを特徴とする。

30 【0021】スタートシンボルメモリ回路はスタートシンボルを記憶する。差動符号化回路は、前記スタートシンボルを初期値として入力信号を差動符号化する。スタートシンボル付加回路は、前記差動符号化回路が出力する信号の前に前記スタートシンボルを配置する。また、逆高速フーリエ変換回路は差動符号化回路が出力する信号と付加された前記スタートシンボルを逆高速フーリエ変換する。ガードインターバル付加回路は、逆高速フーリエ変換回路から出力される信号に対して、各々のOFDMシンボルだけでなく、繰り返し現れる複数のスタートシンボルの間にガードインターバルを付加する。デジタル-アナログ変換回路はガードインターバル付加回路が出力する信号を処理する。

50 【0022】ガードインターバル付加回路が繰り返し現

れる複数のスタートシンボルの間にガードインターバルを付加するので、請求項 1 と同様に、スタートシンボルの繰り返し周期を各々のスタートシンボルの長さよりも大きくすることができる。このため、ガードインターバル G I 及びデータ D A T A を同期用信号の代わりに誤って検出する確率が小さくなる。

【0023】請求項 4 は、伝送すべき情報とそれ以前に現れた情報とで差動符号化された信号の前に特定の同期用信号が繰り返し付加された直交周波数多重信号を受信して得られる受信信号を復調する OFDM 復調回路において、前記受信信号をアナログーデジタル変換するアナログーデジタル変換回路と、前記アナログーデジタル変換回路が出力する受信信号を入力して、周波数偏差とタイミング同期を検出する同期回路と、前記アナログーデジタル変換回路が出力する受信信号を遅延した信号を出力する遅延回路と、前記遅延回路が出力する信号の周波数偏差を前記同期回路が出力する補正位相信号で補正する周波数補正回路と、前記周波数補正回路が出力する周波数補正された受信信号から、前記同期回路が検出した最適シンボルタイミングに同期して、ガードインターバルの成分を除去するガードインターバル除去回路と、前記ガードインターバル除去回路が出力する受信信号を高速フーリエ変換する高速フーリエ変換回路と、前記高速フーリエ変換回路が出力する信号を遅延検波する遅延検波回路と、前記遅延検波回路が出力する受信信号に含まれる複数のサブキャリアの各々の信号成分について理想的な伝送路状態に相当する所定値との一致度を求めるとともに、前記一致度を前記受信信号に含まれる複数のサブキャリアについて加算する一致検出回路と、前記一致検出回路の加算結果を予め定めた閾値と比較し、前記加算結果が前記閾値を超えていない場合には前記同期回路をリセットするためのリセット信号を出力する比較回路とを設けたことを特徴とする。

【0024】アナログーデジタル変換回路は、受信信号をアナログーデジタル変換する。同期回路は、アナログーデジタル変換回路が出力する受信信号を入力して、周波数偏差とタイミング同期を検出する。遅延回路はアナログーデジタル変換回路が出力する受信信号を遅延した信号を出力する。周波数補正回路は遅延回路が出力する信号の周波数偏差を前記同期回路が出力する補正位相信号で補正する。ガードインターバル除去回路は、周波数補正回路が出力する周波数補正された受信信号から、前記同期回路が検出した最適シンボルタイミングに同期して、ガードインターバルの成分を除去する。

【0025】高速フーリエ変換回路はガードインターバル除去回路が出力する受信信号を高速フーリエ変換する。遅延検波回路は高速フーリエ変換回路が出力する信号を遅延検波する。一致検出回路は遅延検波回路が出力する受信信号に含まれる複数のサブキャリアの各々の信号成分について理想的な伝送路状態に相当する所定値と

の一致度を求めるとともに、前記一致度を前記受信信号に含まれる複数のサブキャリアについて加算する。

【0026】比較回路は、一致検出回路の加算結果を予め定めた閾値と比較し、前記加算結果が前記閾値を超えていない場合には前記同期回路をリセットするためのリセット信号を出力する。比較回路が出力するリセット信号は、同期用信号が検出されたタイミングが正しいか否かに相当するので、請求項 2 と同様に、同期用の信号のタイミングを検出した直後に、そのタイミングが正しいか否かを判定することができる。

【0027】請求項 5 は、請求項 4 の OFDM 復調回路において、前記同期回路に、受信信号の電力を計算する自乗回路と、前記自乗回路が出力する信号の時間に関する移動平均を計算する第 1 の移動平均回路と、受信信号を遅延した信号を出力する遅延回路と、受信信号と前記遅延回路によって遅延された受信信号とを複素乗算する位相回転角検出回路と、前記位相回転角検出回路が出力する信号の時間に関する移動平均を計算する第 2 の移動平均回路と、前記第 1 の移動平均回路が出力する信号と前記第 2 の移動平均回路が出力する信号とに基づいて、最適タイミングを示すタイミング信号を出力するタイミング検出回路と、前記第 2 の移動平均回路が出力する信号に基づいて受信信号の周波数誤差を検出し、該周波数誤差と逆位相となる補正位相信号を出力する周波数誤差推定回路とを設けて、前記比較回路の出力するリセット信号を前記タイミング検出回路及び周波数誤差推定回路に印加することを特徴とする。

【0028】自乗回路は、受信信号の電力を計算する。第 1 の移動平均回路は、前記自乗回路が出力する信号の時間に関する移動平均を計算する。遅延回路は、受信信号を遅延した信号を出力する。位相回転角検出回路は、受信信号と前記遅延回路によって遅延された受信信号とを複素乗算する。第 2 の移動平均回路は、前記位相回転角検出回路が出力する信号の時間に関する移動平均を計算する。タイミング検出回路は、前記第 1 の移動平均回路が出力する信号と前記第 2 の移動平均回路が出力する信号とに基づいて、最適タイミングを示すタイミング信号を出力する。

【0029】周波数誤差推定回路は、前記第 2 の移動平均回路が出力する信号に基づいて受信信号の周波数誤差を検出し、該周波数誤差と逆位相となる補正位相信号を出力する。前記比較回路の出力するリセット信号は、前記タイミング検出回路及び周波数誤差推定回路に印加される。従って、同期用の信号のタイミングを誤って検出した場合には、その直後に、前記タイミング検出回路及び周波数誤差推定回路が初期化されるので、タイミング同期が解除される。

【0030】

【発明の実施の形態】本発明を実施する OFDM 変調回路及び OFDM 復調回路の実施の形態を図 1 ~ 7 に示

す。この形態は全ての請求項に対応する。図1はこの形態のOFDM変調回路を示すブロック図である。図2はこの形態のバーストフォーマットを示すタイムチャートである。図3はこの形態のOFDM復調回路を示すブロック図である。図4はこの形態の同期回路を示すブロック図である。図5はこの形態の一致検出回路を示すブロック図である。図6はこの形態のOFDM復調回路の信号のタイミングを示すタイムチャートである。図7は誤検出率のシミュレーションの結果を示すグラフである。

【0031】この形態では、請求項1の同期用信号及びガードインターバルは、それぞれスタートシンボルSS及びガードインターバルGIに対応する。また、請求項3のスタートシンボルメモリ回路、差動符号化回路、スタートシンボル付加回路、逆高速フーリエ変換回路、ガードインターバル付加回路及びディジタル-アナログ変換回路は、それぞれSSメモリ回路11、差動符号化回路10、SS付加回路12、逆FFT回路13、GI挿入回路14及びD/A変換回路15に対応する。

【0032】請求項4のアナログ-ディジタル変換回路、同期回路、遅延回路、周波数補正回路、ガードインターバル除去回路、高速フーリエ変換回路、遅延検波回路、一致検出回路及び比較回路は、それぞれA/D変換回路20、同期回路22、遅延回路21、周波数補正回路23、GI除去回路24、FFT回路25、遅延検波回路26、一致検出回路27及び比較回路28に対応する。

【0033】請求項5の自乗回路、第1の移動平均回路、遅延回路、位相回転角検出回路、第2の移動平均回路、タイミング検出回路及び周波数誤差推定回路は、それぞれ自乗回路30、第1移動平均回路33、遅延回路32、位相回転角検出回路31、第2移動平均回路34、タイミング検出回路35及び周波数誤差推定回路36に対応する。

【0034】図1に示すOFDM変調回路が送信信号として生成するOFDM信号及び図3に示すOFDM復調回路に受信信号として入力されるOFDM信号のバーストフォーマットは、図2のようになっている。図2に示されるように、このOFDM信号のバーストにはユニークワード(UW)は含まれていない。また、バーストの先頭には、ガードインターバルGIとスタートシンボルSSとが2回繰り返すように配置されている。前に配置されたスタートシンボルSSと後に配置されたスタートシンボルSSとは同一の信号である。

【0035】これらのスタートシンボルSSの後には、ガードインターバルGIと1シンボルの伝送データDATAとが交互に繰り返し現れる。伝送データDATAは差動符号化された信号である。スタートシンボルSS及び伝送データDATAの長さは、いずれもフーリエ変換のウィンドウ時間Twと同一に定めてある。スタートシンボルSSが繰り返し現れる周期Tssは、ウィンドウ時

間TwとガードインターバルGIの長さを加算した長さであり、ウィンドウ時間Twよりも十分大きい。

【0036】伝送データDATAの前に配置されたガードインターバルGIの期間には、それに続く伝送データDATAの後部の内容と同一の信号が現れるので、1つのガードインターバルGIの先端からそれに続く1シンボルの伝送データDATAの後端までの範囲T0では、ウィンドウ時間Twの周期で同じ信号が繰り返し現れる。

【0037】図1に示すOFDM変調回路は、差動符号化回路10、SSメモリ回路11、SS付加回路12、逆FFT回路13、GI挿入回路14及びD/A変換回路15で構成されている。図1に示すOFDM変調回路に入力される入力データは、サブキャリア毎に差動符号化される。また、入力データ及びOFDM変調回路が扱う信号は、同相成分(Ich)と直交成分(Qch)との2つの信号で構成される複素数信号である。

【0038】SSメモリ回路11に記憶されているスタートシンボルSSのデータが初期値として差動符号化回路10に印加される。差動符号化されたデータDATAの前には、SSメモリ回路11から読み出された2つのスタートシンボルSSがSS付加回路12によって繰り返し付加される。2つのスタートシンボルSSと差動符号化されたデータDATAとで構成される信号が、逆FFT回路13に入力されて逆高速フーリエ変換される。逆FFT回路13から出力される信号には、GI挿入回路14によってスタートシンボルSSも含めた全てのデータの前に、ガードインターバルGIが付加される。

【0039】GI挿入回路14から出力される信号は、D/A変換回路15でアナログ信号に変換され、送信信号として出力される。図3に示すOFDM復調回路は、A/D変換回路20、遅延回路21、同期回路22、周波数補正回路23、GI除去回路24、FFT回路25、遅延検波回路26、一致検出回路27及び比較回路28で構成されている。

【0040】図3に示すOFDM復調回路に入力される受信信号及びこのOFDM復調回路が扱う信号は、同相成分(Ich)と直交成分(Qch)との2つの信号で構成される複素数信号である。受信信号は、A/D変換回路20でディジタル信号に変換され、遅延回路21及び同期回路22に入力される。

【0041】同期回路22においては、受信信号のバーストの先頭で周期Tssで繰り返し現れるスタートシンボルSSの検出により、送信機と受信機のキャリアの周波数誤差と最適なシンボルタイミングを検出する。すなわち、受信信号とそれを周期Tssと同じ時間だけ遅延した信号との相関を検出すると、スタートシンボルSSが繰り返すタイミングでは大きな相関が検出されるので、受信信号のバーストの先頭位置とOFDM復調回路のタイミングを合わせることができる。

【0042】実際の同期回路22は、図4に示すように、自乗回路30、位相回転角検出回路31、遅延回路32、第1移動平均回路33、第2移動平均回路34、タイミング検出回路35及び周波数誤差推定回路36で構成されている。自乗回路30は、それに入力される受信信号の自乗を計算して信号電力の大きさを求める。第1移動平均回路33は、自乗回路30が出力する信号の移動平均値を求める。

【0043】位相回転角検出回路31は、入力される受信信号とそれを遅延回路32で遅延した信号とに基づいて位相回転角を計算する。第2移動平均回路34は、位相回転角検出回路31が出力する信号の移動平均を求める。タイミング検出回路35は、第1移動平均回路33が出力する信号と第2移動平均回路34が出力する信号とに基づいて、最適シンボルタイミングを検出する。周波数誤差推定回路36は、第2移動平均回路34が出力する信号に基づいて周波数誤差を検出する。

【0044】再び図3を参照して説明を続ける。遅延回路21は、同期回路22で周波数偏差とタイミングが検出されるまで、受信信号を遅延させる。周波数補正回路23は、同期回路22が検出した周波数誤差に対応する補正位相信号を用いて受信信号を補正する。

【0045】周波数補正回路23で周波数の補正された受信信号は、GI除去回路24において、同期回路22から出力される最適なシンボルタイミングに従って、全てのガードインターバルGIの成分が除去される。GI除去回路24から出力される信号は、FFT回路25に入力されて高速フーリエ変換される。FFT回路25が出力する信号は、サブキャリア毎に遅延検波回路26に入力され遅延検波される。

【0046】遅延検波回路26が出力する信号は、復調出力信号として出力される。また、この信号の一部分は、信号D1として一致検出回路27に入力される。実際には、一致検出回路27に入力される信号D1は、遅延検波回路26が出力する信号のうち、同相成分(Ichの信号)及び直交成分(Qchの信号)の最上位ビット(MSB)である。一致検出回路27の具体的な構成は、図5に示されている。

【0047】受信信号のバースト先頭のスタートシンボルSS繰り返し区間において遅延検波された信号は、通信路状態が理想的な状態であれば、各サブキャリアともすべて同じ値になる。そこで、一致検出回路27は通信路状態が理想的な状態の時に得られる値と、実際の遅延検波出力との一致度を示す尤度値を求め、その尤度値を全サブキャリアについて加算した総和を求める。

【0048】図5においては、参照信号(0, 0)42が通信路状態が理想的な状態の時に得られる値に相当する。この形態では、遅延検波回路26の出力には48のサブキャリアの信号成分が時系列で順次に現れるので、シリアル-パラレル変換回路41を用いて、その48個

の出力端子P1~P48に48のサブキャリアの信号成分(各々Ich、Qchの2ビット)をそれぞれ取り出している。

【0049】48個の排他的論理和回路(Exnor)43(1)~43(48)は、それぞれのサブキャリアの信号成分について一致/不一致を示す信号を出力する。48個の排他的論理和回路43(1)~43(48)が出力する信号の総和が加算回路44で計算され、その結果が信号D2として出力される。

【0050】図3に示すOFDM復調回路においては、一致検出回路27が出力する信号D2は比較回路28に入力される。比較回路28は、信号D2を予め定めた閾値D3と比較する。ここで、信号D2の値が閾値D3の値を超えていれば正常同期とみなし、超えない場合は誤同期とみなしてリセット信号RSTを出力する。このリセット信号は、同期回路22にタイミング検出回路35及び周波数誤差推定回路36の動作を初期化するために印加される。

【0051】同期回路22は、リセット信号RSTによって動作が初期化されると、再び周波数誤差の推定及びタイミング検出を行う。図3のOFDM復調回路の各部の信号タイミングを図6に示す。なお、図6においては、受信信号のバーストに含まれる各データ(DATA)の領域をX1、X2、X3、X4、X5で示してある。図6に示すように、受信信号のバーストに含まれるスタートシンボルSSが現れた直後に、同期誤りが発生しているか否かが識別され、同期誤りが検出された場合にはリセット信号RSTがアクティブになる。

【0052】図3に示すOFDM復調回路と従来例のOFDM復調回路について、タイミング同期の誤検出確率をシミュレーションで調べた。その結果が図7に示されている。図7を参照すると、本発明によりタイミング同期の誤検出確率が改善されることがわかる。

【0053】

【発明の効果】本発明のOFDM変調方法及びOFDM変調回路によれば、図2に示すようにバースト先頭に繰り返し付加される複数のスタートシンボルSSの間にガードインターバルGIを挿入して、スタートシンボルSSの繰り返し周期TssをデータDATAの領域の繰り返し周期(Tw)よりも大きくすることにより、スタートシンボルSSを検出するための相関検出において、データDATAの領域の信号の繰り返しによるTw周期の相関の影響が抑制される。このため、同期タイミングの誤検出が発生する確率が低くなる。

【0054】また本発明のOFDM復調方法及びOFDM復調回路では、受信信号に含まれる複数のサブキャリアの各々の信号成分について遅延検波後の信号と理想的な伝送路状態に相当する所定値との一致度を求め、複数のサブキャリアについて前記一致度を加算し、その結果を予め定めた閾値と比較することにより、タイミング同

期の誤検出の判定を遅延なく行うことができる。

【図面の簡単な説明】

【図1】実施の形態のOFDM変調回路を示すブロック図である。

【図2】実施の形態のバーストフォーマットを示すタイムチャートである。

【図3】実施の形態のOFDM復調回路を示すブロック図である。

【図4】実施の形態の同期回路を示すブロック図である。

【図5】実施の形態の一致検出回路を示すブロック図である。

【図6】実施の形態のOFDM復調回路の信号のタイミングを示すタイムチャートである。

【図7】誤検出率のシミュレーションの結果を示すグラフである。

【図8】従来例のバーストフォーマットを示すタイムチャートである。

【図9】従来例のOFDM復調回路を示すブロック図である。

【符号の説明】

10 差動符号化回路

11 SSメモリ回路

12 SS付加回路

13 逆FFT回路

14 GI挿入回路

15 D/A変換回路

14 GI挿入回路

15 D/A変換回路

20 A/D変換回路

21 遅延回路

22 同期回路

23 周波数補正回路

24 GI除去回路

25 FFT回路

26 遅延検波回路

10 27 一致検出回路

28 比較回路

30 自乗回路

31 位相回転角検出回路

32 遅延回路

33 第1移動平均回路

34 第2移動平均回路

35 タイミング検出回路

36 周波数誤差推定回路

41 シリアル-パラレル変換回路

20 42 参照信号

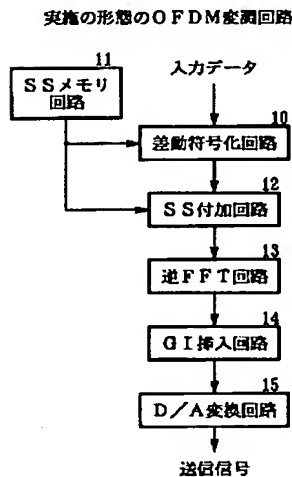
43 排他的論理和回路

44 加算回路

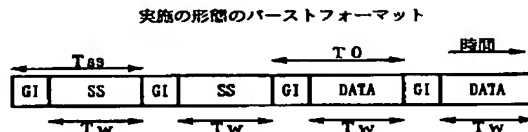
SS スタートシンボル

GI ガードインターバル

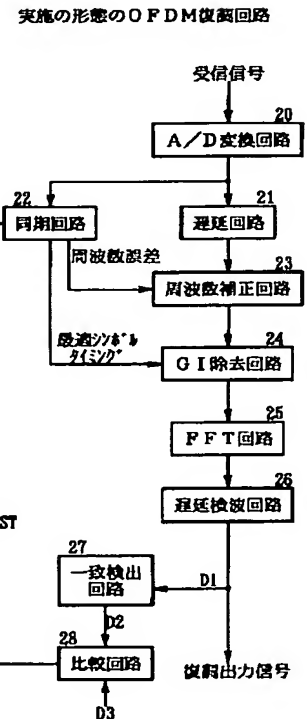
【図1】



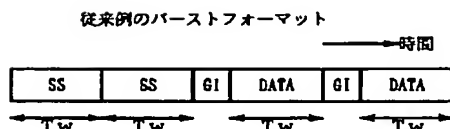
【図2】



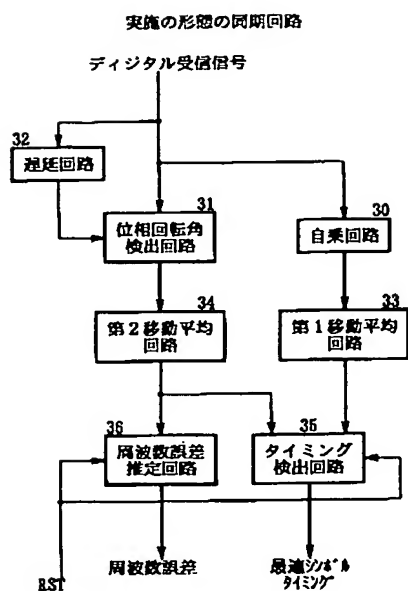
【図3】



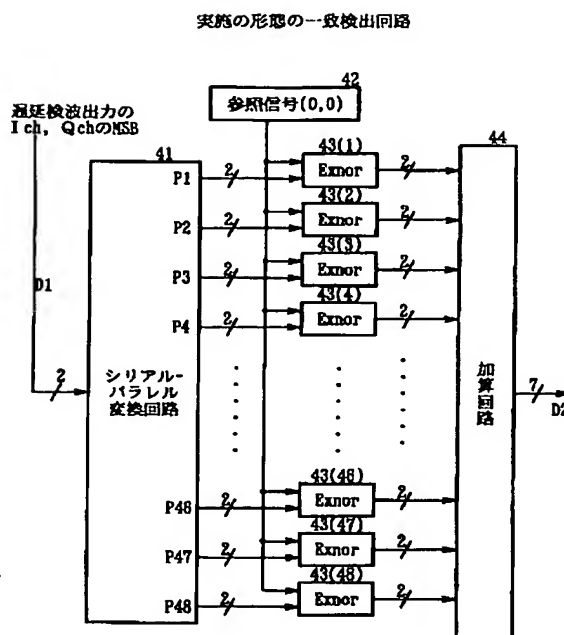
【図8】



【図4】

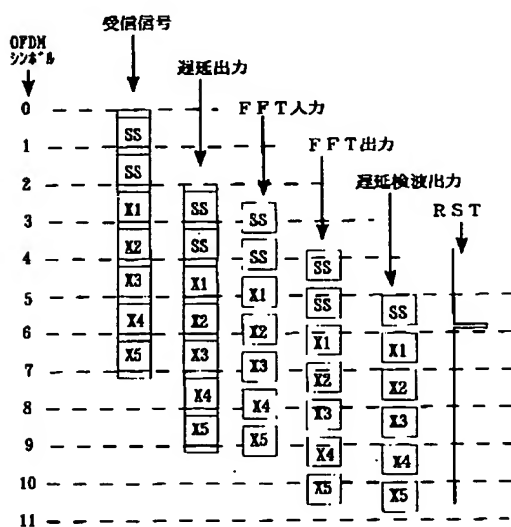


【図5】



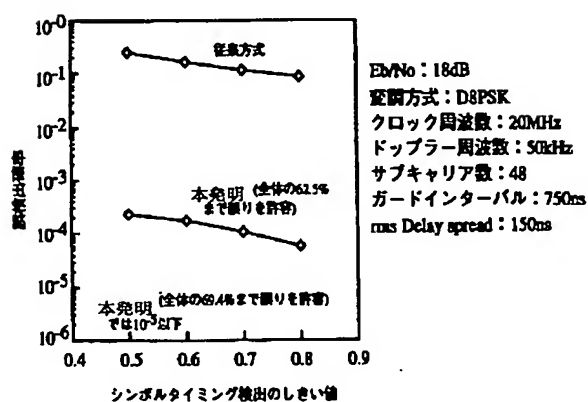
【図6】

実施の形態のOFDM復調回路の信号のタイミング

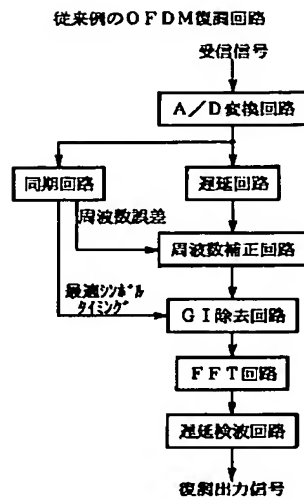


【図7】

誤検出確率のシミュレーションの結果



【図9】



フロントページの続き

(72)発明者 梅比良 正弘
東京都新宿区西新宿三丁目19番2号 日本
電信電話株式会社内

Fターム(参考) 5K004 AA01 BA02 BB06
5K022 DD13 DD17 DD23 DD33 DD42
5K047 AA02 AA04 BB01 CC01 EE00
HH01 HH11 HH43 HH55 JJ04
MM12 MM24